

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-211688

(P2019-211688A)

(43) 公開日 令和1年12月12日(2019.12.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/32 (2016.01)</b>	G09G 3/32 A	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A	5C094
<b>G09F 9/30 (2006.01)</b>	G09G 3/20 624B	5C380
<b>G09F 9/33 (2006.01)</b>	G09G 3/20 642K	5F241
<b>HO1L 33/00 (2010.01)</b>	G09G 3/20 680G	

審査請求 未請求 請求項の数 12 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2018-109436 (P2018-109436)  
 (22) 出願日 平成30年6月7日(2018.6.7)

(71) 出願人 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 110001737  
 特許業務法人スズエ国際特許事務所  
 (72) 発明者 森田 哲生  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 (72) 発明者 小川 康宏  
 東京都港区西新橋三丁目7番1号 株式会  
 社ジャパンディスプレイ内  
 Fターム(参考) 5C080 AA06 AA07 BB05 DD26 DD27  
 FF11 JJ02 JJ03 JJ04 JJ06  
 5C094 AA22 AA44 BA03 BA23 BA27  
 CA24 DA13 FA01 FA02  
 最終頁に続く

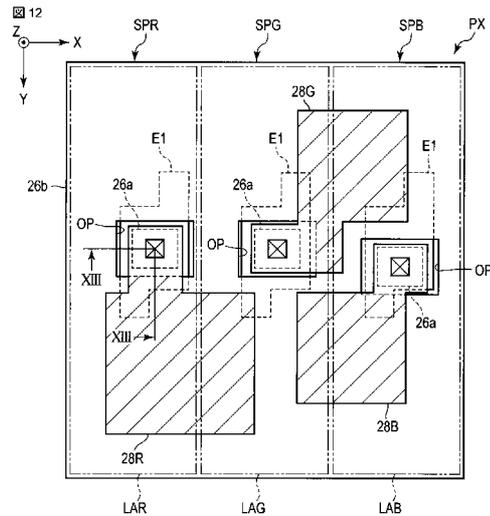
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 製造コストの高騰を抑制することが可能な表示装置を提供する。又は、低消費電力化を図ることのできる表示装置を提供する。

【解決手段】 表示装置は、表示領域に位置し第1色を呈する第1画素SPRを含む複数種類の画素SPR, SPG, SPBを備える。各々の画素SPR, SPG, SPBは、画素電極28と、発光素子と、駆動トランジスタと、上記画素電極と対向配置され定電位に保持される第1容量電極層と、上記画素電極及び上記第1容量電極層とともに補助容量を形成する絶縁層と、を有する。複数種類の画素SPR, SPG, SPBの補助容量の値のうち、第1画素SPRの補助容量の値が最も大きい。

【選択図】 図12



**【特許請求の範囲】****【請求項 1】**

表示領域に位置し、第 1 色を呈する第 1 画素を含む複数種類の画素を備え、  
各々の前記画素は、  
画素電極と、  
前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、  
前記発光素子への電流値を制御する駆動トランジスタと、  
前記画素電極と対向配置され定電位に保持される第 1 容量電極層と、  
前記画素電極と前記第 1 容量電極層との間に介在し前記画素電極及び前記第 1 容量電極層とともに補助容量を形成する絶縁層と、を有し、  
前記複数種類の画素の前記補助容量の値のうち、前記第 1 画素の前記補助容量の値が最も大きい、  
表示装置。

10

**【請求項 2】**

前記発光素子は、マイクロ発光ダイオードである、  
請求項 1 に記載の表示装置。

**【請求項 3】**

前記複数種類の画素は、第 2 色を呈する第 2 画素と、第 3 色を呈する第 3 画素と、をさらに含み、  
前記第 1 色は赤色であり、前記第 2 色は緑色であり、前記第 3 色は青色であり、  
前記補助容量の値は、前記画素の種類によって異なり、  
前記複数種類の画素の前記補助容量の値のうち、前記第 3 画素の前記補助容量の値が最も小さい、  
請求項 1 に記載の表示装置。

20

**【請求項 4】**

各々の前記画素は、  
前記駆動トランジスタのゲート電極とソース電極との間に電氣的に接続された保持容量をさらに有し、  
前記保持容量の値は、前記補助容量の値より小さい、  
請求項 1 に記載の表示装置。

30

**【請求項 5】**

前記複数種類の画素は、第 2 色を呈する第 2 画素と、第 3 色を呈する第 3 画素と、をさらに含み、  
前記第 1 色は赤色であり、前記第 2 色は緑色であり、前記第 3 色は青色であり、  
前記保持容量の値は、前記第 1 画素の前記補助容量の値、前記第 2 画素の前記補助容量の値、及び前記第 3 画素の前記補助容量の値の何れよりも小さい、  
請求項 4 に記載の表示装置。

**【請求項 6】**

前記画素電極は、前記第 1 容量電極層と対向し、  
平面視において、前記複数種類の画素の前記画素電極のサイズのうち、前記第 1 画素の前記画素電極のサイズが最も大きい、  
請求項 1 に記載の表示装置。

40

**【請求項 7】**

前記第 1 画素を含む隣合う 2 以上の画素は、単個の前記第 1 容量電極層を共用し、  
前記単個の第 1 容量電極層は、前記 2 以上の画素に亘って連続的に延在し、前記 2 以上の画素の前記画素電極と対向している、  
請求項 1 に記載の表示装置。

**【請求項 8】**

前記第 1 容量電極層は、前記画素電極の下方に位置し、  
前記画素電極は、前記第 1 容量電極層と対向し、

50

平面視において、前記複数種類の画素の前記画素電極のサイズのうち、前記第 1 画素の前記画素電極のサイズが最も大きく、

各々の前記画素は、

前記画素電極に電氣的に接続された画素回路をさらに有し、

前記画素回路は、前記駆動トランジスタ及び前記補助容量を含む複数の素子を具備し、

前記画素回路のうち前記補助容量以外の残りの素子は、前記第 1 容量電極層の下方に位置し、

平面視において、前記第 1 画素の前記画素電極は、前記第 1 画素の前記残りの素子の配置領域に位置し、前記第 1 画素に隣合う画素の前記残りの素子の配置領域にさらに位置している、

請求項 7 に記載の表示装置。

【請求項 9】

定電位に保持される第 1 電源線と、

前記第 1 電源線の電位と異なる定電位に保持される第 2 電源線と、

定電位に保持される第 3 電源線と、をさらに備え、

前記発光素子は、前記第 2 電源線に電氣的に接続された第 2 電極をさらに含み、

各々の前記画素において、前記駆動トランジスタ、前記画素電極、及び前記発光素子は、前記第 1 電源線と前記第 2 電源線との間で直列に接続され、

前記第 1 容量電極層は、前記第 1 電源線、前記第 2 電源線、及び第 3 電源線の何れか一の電源線の電位と同一の定電位に保持される、

請求項 1 に記載の表示装置。

【請求項 10】

前記表示領域に位置し、全ての前記画素の前記発光素子を覆い、前記第 2 電源線の電位と同一の定電位に保持され、前記第 2 電源線と全ての前記発光素子の前記第 2 電極とを電氣的に接続し、前記全ての画素で共用される対向電極をさらに備え、

前記第 1 容量電極層は、前記第 1 電源線の一部及び前記対向電極の一部の何れか一方で構成されている、

請求項 9 に記載の表示装置。

【請求項 11】

前記複数の画素電極の上に配置された他の絶縁層と、

前記表示領域に位置し、前記他の絶縁層の上に配置され、全ての前記画素の前記発光素子を覆い、定電位に保持され、全ての前記発光素子の第 2 電極と電氣的に接続され、前記全ての画素で共用される対向電極と、をさらに備え、

前記第 1 容量電極層は、前記画素電極の下方に位置し、

各々の前記画素において、前記補助容量は、前記画素電極、前記絶縁層、及び前記第 1 容量電極層で形成される第 1 容量成分と、前記画素電極、前記他の絶縁層、及び前記対向電極で形成される第 2 容量成分と、を含み、

前記補助容量の値は、前記第 1 容量成分の容量値と前記第 2 容量成分の容量値との和である、

請求項 1 に記載の表示装置。

【請求項 12】

前記表示領域に位置し、前記全ての画素で共用される対向電極をさらに備え、

前記発光素子は、前記対向電極に電氣的に接続された第 2 電極をさらに含み、

前記第 1 電極と前記第 2 電極とが対向する面積は、前記複数種類の画素のうち前記第 1 画素において最も大きい、

請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示装置に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

表示装置として、自発光素子である発光ダイオード（LED：Light Emitting Diode）を用いたLED表示装置が知られている。近年では、より高精細な表示装置として、マイクロLEDと称される微小な発光ダイオードをアレイ基板に実装した表示装置（以下、マイクロLED表示装置と称する）が開発されている。

## 【0003】

マイクロLEDディスプレイは、従来の液晶ディスプレイや有機ELディスプレイと異なり、表示領域に、チップ状の多数のマイクロLEDが実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代の表示装置として注目されている。

10

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開2018-14475号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

本実施形態は、製造コストの高騰を抑制することが可能な表示装置を提供する。又は、低消費電力化を図ることのできる表示装置を提供する。

## 【課題を解決するための手段】

20

## 【0006】

一実施形態に係る表示装置は、

表示領域に位置し、第1色を呈する第1画素を含む複数種類の画素を備え、各々の前記画素は、画素電極と、前記画素電極に電気的に接続された第1電極を含む発光素子と、前記発光素子への電流値を制御する駆動トランジスタと、前記画素電極と対向配置され定電位に保持される第1容量電極層と、前記画素電極と前記第1容量電極層との間に介在し前記画素電極及び前記第1容量電極層とともに補助容量を形成する絶縁層と、を有し、前記複数種類の画素の前記補助容量の値のうち、前記第1画素の前記補助容量の値が最も大きい。

## 【図面の簡単な説明】

30

## 【0007】

【図1】図1は、一実施形態に係る表示装置の構成を示す斜視図である。

【図2】図2は、上記表示装置の回路構成を示す平面図である。

【図3】図3は、上記表示装置を示す断面図である。

【図4】図4は、上記表示装置の変形例を示す断面図である。

【図5】図5は、上記表示装置の構成の一例について説明するための回路図である。

【図6】図6は、画素におけるリセット動作、オフセットキャンセル動作及び書き込み動作に関する各種信号の出力例を示すタイミングチャートである。

【図7】図7は、上記表示装置の駆動方法を説明するための回路図であり、駆動トランジスタのソース側のリセット動作について説明するための図である。

40

【図8】図8は、図7に続く上記駆動方法を説明するための回路図であり、駆動トランジスタのゲート側のリセット動作について説明するための図である。

【図9】図9は、図8に続く上記駆動方法を説明するための回路図であり、オフセットキャンセル動作について説明するための図である。

【図10】図10は、図9に続く上記駆動方法を説明するための回路図であり、映像信号の書き込み動作について説明するための図である。

【図11】図11は、図10に続く上記駆動方法を説明するための回路図であり、発光素子の発光動作について説明するための図である。

【図12】図12は、上記表示装置の表示パネルの単個の主画素の構成を示す平面図であり、第1電極、導電層、画素電極などを示す図である。

50

【図 1 3】図 1 3 は、図 1 2 の線 X I I I - X I I I に沿って上記表示パネルを示す断面図であり、第 1 電極、導電層、画素電極などを示す図である。

【図 1 4】図 1 4 は、上記実施形態の変形例 1 に係る表示装置の表示パネルの単個の主画素の構成を示す平面図であり、導電層、画素電極、発光素子などを示す図である。

【図 1 5】図 1 5 は、上記実施形態の変形例 2 に係る表示装置の表示パネルの単個の主画素の構成を示す平面図であり、第 1 電極、導電層、画素電極、発光素子などを示す図である。

【図 1 6】図 1 6 は、図 1 5 の線 X V I - X V I に沿って上記表示パネルを示す断面図であり、第 1 電極、導電層、画素電極、発光素子などを示す図である。

【図 1 7】図 1 7 は、上記実施形態の変形例 3 に係る表示装置の表示パネルの単個の主画素の構成を示す平面図であり、第 1 電極、導電層、画素電極、発光素子などを示す図である。

【図 1 8】図 1 8 は、上記実施形態の変形例 4 に係る表示装置の表示パネルの単個の主画素の構成を示す平面図であり、導電層、画素電極、発光素子などを示す図である。

【図 1 9】図 1 9 は、上記実施形態の変形例 5 に係る表示装置の表示パネルを示す断面図であり、第 1 電極、導電層、画素電極、対向電極などを示す図である。

【図 2 0】図 2 0 は、上記実施形態の変形例 6 に係る表示装置の表示パネルを示す断面図であり、第 1 電極、導電層、画素電極、対向電極などを示す図である。

【発明を実施するための形態】

【0008】

(一実施形態)

以下に、本発明の一実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0009】

図 1 は、本実施形態に係る表示装置 1 の構成を示す斜視図である。図 1 は、第 1 方向 X と、第 1 方向 X に垂直な第 2 方向 Y と、第 1 方向 X 及び第 2 方向 Y に垂直な第 3 方向 Z によって規定される三次元空間を示している。なお、第 1 方向 X 及び第 2 方向 Y は、互いに直交しているが、90°以外の角度で交差していてもよい。また、本実施形態において、第 3 方向 Z を上と定義し、第 3 方向 Z と反対側の方向を下と定義する。「第 1 部材の上の第 2 部材」及び「第 1 部材の下の第 2 部材」とした場合、第 2 部材は、第 1 部材に接していてもよく、第 1 部材から離れて位置していてもよい。

【0010】

以下、本実施形態においては、表示装置 1 が自発光素子であるマイクロ発光ダイオード（以下、マイクロ LED (Light Emitting Diode) と称する) を用いたマイクロ LED 表示装置である場合について主に説明する。

【0011】

図 1 に示すように、表示装置 1 は、表示パネル 2、第 1 回路基板 3 及び第 2 回路基板 4 等を備えている。

表示パネル 2 は、一例では矩形の形状を有している。図示した例では、表示パネル 2 の短辺 E X は、第 1 方向 X と平行であり、表示パネル 2 の長辺 E Y は、第 2 方向 Y と平行である。第 3 方向 Z は、表示パネル 2 の厚さ方向に相当する。表示パネル 2 の主面は、第 1 方向 X と第 2 方向 Y とにより規定される X - Y 平面に平行である。表示パネル 2 は、表示領域 D A、及び表示領域 D A の外側の非表示領域 N D A を有している。非表示領域 N D A は、端子領域 M T を有している。図示した例では、非表示領域 N D A は、表示領域 D A を囲んでいる。

10

20

30

40

50

## 【 0 0 1 2 】

表示領域 D A は、画像を表示する領域であり、例えばマトリクス状に配置された複数の主画素 P X を備えている。

端子領域 M T は、表示パネル 2 の短辺 E X に沿って設けられ、表示パネル 2 を外部装置などと電氣的に接続するための端子を含んでいる。

## 【 0 0 1 3 】

第 1 回路基板 3 は、端子領域 M T の上に実装され、表示パネル 2 と電氣的に接続されている。第 1 回路基板 3 は、例えばフレキシブルプリント回路基板である。第 1 回路基板 3 は、表示パネル 2 を駆動する駆動 I C チップ（以下、パネルドライバと表記）5 などを備えている。なお、図示した例では、パネルドライバ 5 は、第 1 回路基板 3 の上に配置されているが、第 1 回路基板 3 の下に配置されていてもよい。又は、パネルドライバ 5 は、第 1 回路基板 3 以外に実装されていてもよく、例えば第 2 回路基板 4 に実装されていてもよい。第 2 回路基板 4 は、例えばフレキシブルプリント回路基板である。第 2 回路基板 4 は、第 1 回路基板 3 の例えば下方において第 1 回路基板 3 と接続されている。

10

## 【 0 0 1 4 】

上記したパネルドライバ 5 は、例えば第 2 回路基板 4 を介して制御基板（図示せず）と接続されている。パネルドライバ 5 は、例えば制御基板から出力される映像信号に基づいて複数の主画素 P X を駆動することによって表示パネル 2 に画像を表示する制御を実行する。

20

## 【 0 0 1 5 】

なお、表示パネル 2 は、斜線を付して示す折り曲げ領域 B A を有していてもよい。折り曲げ領域 B A は、表示装置 1 が電子機器等の筐体に収容される際に折り曲げられる領域である。折り曲げ領域 B A は、非表示領域 N D A のうち端子領域 M T 側に位置している。折り曲げ領域 B A が折り曲げられた状態において、第 1 回路基板 3 及び第 2 回路基板 4 は、表示パネル 2 と対向するように、表示パネル 2 の下方に配置される。

## 【 0 0 1 6 】

図 2 は、表示装置 1 の回路構成を示す平面図である。

図 2 に示すように、表示装置 1 は、アクティブマトリクス型の表示パネル 2 を備えている。表示パネル 2 は、絶縁基板 2 1 と、絶縁基板 2 1 の上に配置された複数の主画素 P X 、各種の配線、ゲートドライバ G D 1 , G D 2 、及び選択回路 S D と、を有している。

30

## 【 0 0 1 7 】

複数の主画素 P X は、表示領域 D A にてマトリクス状に配列されている。各々の主画素 P X は、複数の画素 S P を有している。本実施形態において、主画素 P X は、第 1 色を呈する第 1 画素 S P R 、第 2 色を呈する第 2 画素 S P G 、及び第 3 色を呈する第 3 画素 S P B の 3 種類の画素を含んでいる。ここでは、第 1 色は赤色であり、第 2 色は緑色であり、第 3 色は青色である。

## 【 0 0 1 8 】

主画素 P X は、発光素子（マイクロ L E D ）と、発光素子に駆動電流を供給し発光素子を駆動するための画素回路と、を含んでいる。上記画素回路は、後述する駆動トランジスタ及び各種のスイッチング素子などを含んでいる。ここで、本実施形態において、主画素 P X 、及び画素 S P の用語で説明したが、主画素 P X を画素と言い換えることが可能である。この場合、画素 S P は副画素である。

40

## 【 0 0 1 9 】

上記各種の配線は、表示領域 D A にて延在し、非表示領域 N D A に引き出されている。図 2 には、各種の配線の一部として、複数本の制御配線 S S G と、複数本の画像信号線 V L と、を例示している。ゲートドライバ G D 1 , G D 2 、及び選択回路 S D は、非表示領域 N D A に位置している。表示領域 D A において、制御配線 S S G 及び画像信号線 V L は、画素 S P に接続されている。制御配線 S S G は、非表示領域 N D A にてゲートドライバ G D 1 , G D 2 に接続されている。画像信号線 V L は、非表示領域 N D A にて選択回路 S D に接続されている。

50

ゲートドライバGD1, GD2、及び選択回路SDには、パネルドライバ5から各種の信号や電圧が与えられる。

#### 【0020】

図3は、上記表示装置を示す断面図である。ここでは、上記のマイクロLEDと称される微小な発光ダイオードが表示素子として画素電極上に実装された例について説明する。図3においては、表示領域DA及び非表示領域NDAについて主に示している。なお、非表示領域NDAは、折り曲げられる折り曲げ領域BAと、端子領域MTと、を含んでいる。

#### 【0021】

図3に示すように、表示パネル2のアレイ基板ARは、絶縁基板21を備えている。絶縁基板21としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。絶縁基板21の材質は、TFT(Thin Film Transistor)を製造する際の処理温度に耐える材質であればよい。絶縁基板21が可撓性を有する樹脂基板である場合、表示装置1をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。なお、絶縁基板21にポリイミドなどを用いる場合、絶縁基板21を有機絶縁層又は樹脂層と称した方が適当な場合があり得る。

#### 【0022】

絶縁基板21上には、三層積層構造のアンダーコート層22が設けられている。アンダーコート層22は、シリコン酸化物(SiO<sub>2</sub>)で形成された第1層22a、シリコン窒化物(SiN)で形成された第2層22b、及びシリコン酸化物(SiO<sub>2</sub>)で形成された第3層22cを有している。最下層の第1層22aは基材である絶縁基板21との密着性向上のため、中間層の第2層22bは外部からの水分及び不純物のブロック膜として、最上層の第3層22cは第2層22b中に含有する水素原子が後述する半導体層SC側に拡散しないようにするブロック膜として、それぞれ設けられている。なお、アンダーコート層22は、この構造に限定されるものではない。アンダーコート層22は、更に積層があってもよいし、単層構造あるいは二層構造であってもよい。例えば、絶縁基板21がガラスである場合、シリコン窒化膜は比較的密着性がよいため、当該絶縁基板21上に直接シリコン窒化膜を形成しても構わない。

#### 【0023】

遮光層23は、絶縁基板21の上に配置されている。遮光層23の位置は、後にTFTを形成する箇所に合わせてされている。本実施形態において、遮光層23は、金属で形成されている。但し、遮光層23は、黒色層など、遮光性を有する材料で形成されていけばよい。また、本実施形態において、遮光層23は、第1層22aの上に設けられ、第2層22bで覆われている。なお、本実施形態と異なり、遮光層23は、絶縁基板21の上に設けられ、第1層22aで覆われていてもよい。遮光層23によれば、TFTのチャネル層の裏面への光の侵入を抑制することができるため、絶縁基板21側から入射され得る光に起因したTFT特性の変化を抑制することが可能である。また、遮光層23を導電層で形成した場合には、当該遮光層23に所定の電位を与えることで、TFTにバックゲート効果を付与することが可能である。

#### 【0024】

上記したアンダーコート層22上には、駆動トランジスタDRTなどの薄膜トランジスタ(TFT:Thin Film Transistor)が形成される。TFTとしては半導体層SCにポリシリコンを利用するポリシリコンTFTを例としている。本実施形態において、低温ポリシリコンを利用して半導体層SCが形成されている。ここでは、駆動トランジスタDRTは、Nチャネル型のTFT(NchTFT)である。NchTFTの半導体層SCは、第1領域と、第2領域と、第1領域及び第2領域の間のチャネル領域と、チャネル領域及び第1領域の間並びにチャネル領域及び第2領域の間にそれぞれ設けられた低濃度不純物領域と、を有している。第1及び第2領域の一方がソース領域として機能し、第1及び第2領域の他方がドレイン領域として機能している。なお、アレイ基板ARは、NchTFT

10

20

30

40

50

だけではなくPチャネル型のTF T ( P c h T F T )を含んでいてもよい。その場合、N c h T F TとP c h T F Tを同時に形成してもよい。また、半導体層S Cは、アモルファスシリコン、酸化物半導体など、ポリシリコン以外の半導体を利用してもよい。

【0025】

ゲート絶縁膜G Iはシリコン酸化膜を用い、ゲート電極G EはM o W (モリブデン・タングステン)で形成されている。なお、ゲート電極G Eなど、ゲート絶縁膜G Iの上に形成される配線や電極を、1 s t配線、又は1 s tメタルと称する場合がある。ゲート電極G Eは、TF Tのゲート電極としての機能に加え、後述する保持容量電極としての機能も有している。ここではトップゲート型のTF Tを例として説明しているが、TF Tはボトムゲート型のTF Tであってもよい。

10

【0026】

ゲート絶縁膜G I及びゲート電極G Eの上には、層間絶縁膜2 4が設けられている。層間絶縁膜2 4は、ゲート絶縁膜G I及びゲート電極G Eの上に、例えば、シリコン窒化膜及びシリコン酸化膜を順に積層して構成されている。ゲート絶縁膜G I及び層間絶縁膜2 4は、折り曲げ領域B Aに設けられていない。そのため、折り曲げ領域B Aを含む絶縁基板2 1上の全領域に、ゲート絶縁膜G I及び層間絶縁膜2 4を形成した後、ゲート絶縁膜G I及び層間絶縁膜2 4にパターニングを行って、ゲート絶縁膜G I及び層間絶縁膜2 4のうち少なくとも折り曲げ領域B Aに相当する箇所を除去している。更に、層間絶縁膜2 4などの除去によってアンダーコート層2 2が露出するため、当該アンダーコート層2 2についてもパターニングを行って折り曲げ領域B Aに相当する箇所を除去している。アンダーコート層2 2を除去した後には、絶縁基板2 1を構成する例えばポリイミドが露出する。なお、アンダーコート層2 2のエッチングを通じて、絶縁基板2 1の上面が一部浸食された膜減りを生ずる場合がある。

20

【0027】

この場合、層間絶縁膜2 4の端部における段差部分及びアンダーコート層2 2の端部における段差部分のそれぞれの下層に図示しない配線パターンを形成しておいても良い。これによれば、引き回し配線L Lが段差部分を横切って形成される際に、引き回し配線L Lは配線パターンの上を通る。層間絶縁膜2 4とアンダーコート層2 2の間にはゲート絶縁膜G Iがあり、アンダーコート層2 2と絶縁基板2 1の間には例えば遮光層2 3があるので、それらの層を利用して配線パターンを形成することができる。

30

【0028】

層間絶縁膜2 4の上に、第1電極E 1、第2電極E 2、及び引き回し配線L Lが設けられている。第1電極E 1、第2電極E 2、及び引き回し配線L Lは、それぞれ三層積層構造(T i系/A l系/T i系)が採用され、T i(チタン)、T iを含む合金などT iを主成分とする金属材料からなる下層と、A l(アルミニウム)、A lを含む合金などA lを主成分とする金属材料からなる中間層と、T i、T iを含む合金などT iを主成分とする金属材料からなる上層と、を有している。なお、第1電極E 1など、層間絶縁膜2 4の上に形成される配線や電極を、2 n d配線、又は2 n dメタルと称する場合がある。

【0029】

第1電極E 1は半導体層S Cの第1領域に接続され、第2電極E 2は半導体層S Cの第2領域に接続されている。例えば、半導体層S Cの第1領域がソース領域として機能する場合、第1電極E 1はソース電極であり、第2電極E 2はドレイン電極である。第1電極E 1は、層間絶縁膜2 4、及びTF Tのゲート電極(保持容量電極)G Eとともに保持容量C sを形成している。引き回し配線L Lは、絶縁基板2 1の周縁の端部まで延在され、第1回路基板3やパネルドライバ(駆動I C)5を接続する端子を形成する。

40

【0030】

なお、引き回し配線L Lは、折り曲げ領域B Aを横切って端子部に到達するように形成されるため、層間絶縁膜2 4及びアンダーコート層2 2の段差を横切る。上記したように段差部分には遮光層2 3による配線パターンが形成されているため、引き回し配線L Lが段差の凹部で段切れを生じたとしても、下の配線パターンにコンタクトすることで導通を

50

維持することが可能である。

【0031】

平坦化膜25は、層間絶縁膜24、第1電極E1、第2電極E2、及び引き回し配線LLの上に形成され、TFT及び引き回し配線LLを覆っている。平坦化膜25としては感光性アクリル等の有機絶縁材料が多く用いられる。平坦化膜25は、CVD(chemical-vapor deposition)等により形成される無機絶縁材料に比べ、配線段差のカバレッジ性や、表面の平坦性に優れている。

【0032】

平坦化膜25は、画素コンタクト部及び周辺領域では除去される。平坦化膜25の上に、導電層26が設けられている。導電層26は、酸化物導電層として、例えばITOで形成されている。導電層26は、例えば、平坦化膜25の除去により第1電極E1及び引き回し配線LLが露出した箇所を被覆する導電層26aを含んでいる。導電層26aは、製造工程で第1電極E1や引き回し配線LLの露出部がダメージを負わないようにバリア膜として設けることを目的の一つとしている。平坦化膜25及び導電層26は、絶縁層27で被覆されている。例えば、絶縁層27はシリコン窒化膜で形成されている。

10

【0033】

絶縁層27の上に、画素電極28が形成されている。画素電極28は、絶縁層27の開口を介して導電層26aにコンタクトし、第1電極E1に電氣的に接続されている。ここでは、画素電極28は、発光素子30を実装するための接続端子となる。画素電極28は、単一の導電層、又は二層以上の導電層を含む積層体で形成されている。本実施形態において、画素電極28は、二層積層構造(A1系/Mo系)が採用され、Mo、Moを含む合金などMoを主成分とする金属材料からなる下層と、Al、Alを含む合金などAlを主成分とする金属材料からなる上層と、を有している。

20

画素部において、上記導電層26は導電層26bを含んでいる。導電層26bは、画素電極28と対向配置され、定電位に保持され、第1容量電極層として機能している。導電層26bは、画素電極28の下方に位置している。絶縁層27は、画素電極28と導電層26bとの間に介在している。導電層26b、絶縁層27、及び画素電極28は、補助容量Cadを形成している。なお、上記導電層26は、端子部の表面を形成する導電層26cを含んでいる。

【0034】

絶縁層27及び画素電極28の上に絶縁層29が設けられている。絶縁層29は、例えばシリコン窒化物で形成されている。絶縁層29は、画素電極28の端部等を絶縁すると共に、画素電極28の表面の一部に発光素子(マイクロLED)30を実装するための開口を有している。絶縁層29の開口の大きさは、発光素子30の実装工程における実装ずれ量等を考慮し、発光素子30よりも一回り大きめの開口とする。例えば発光素子30が実質的に $10\mu\text{m} \times 10\mu\text{m}$ の実装面積である場合、上記開口は実質的に $20\mu\text{m} \times 20\mu\text{m}$ は確保されることが好ましい。

30

【0035】

表示領域DAにおいて、アレイ基板ARの上に、発光素子30が実装される。発光素子30は、第1電極としての陽極ANと、第2電極としての陰極CAと、光を放出する発光層LIと、を有している。発光素子30は、R、G、Bの発光色を有するものがそれぞれ用意されており、対応する画素電極28に陽極側端子が接触し固定されている。発光素子30の陽極ANと画素電極28との間の接合は、両者の間で良好な導通が確保でき、かつ、アレイ基板ARの形成物を破損しないものであれば特に限定されない。例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子30をアレイ基板AR上に載せた後に焼成結合する等の手法、あるいは画素電極28の表面と、発光素子の陽極ANとに同系材料を用い、超音波接合等の固相接合の手法を採用することができる。

40

【0036】

発光素子30は、画素電極28に電氣的に接続されている陽極ANの反対側に陰極CAを有している。画素電極28及び絶縁層29の上には、発光素子30が実装された後、素

50

子絶縁層 31 が設けられている。素子絶縁層 31 は、絶縁層 29 の上で、発光素子 30 の間の空隙部に充填された樹脂材料で形成されている。素子絶縁層 31 は、発光素子 30 のうち陰極 CA の表面を露出させている。

#### 【0037】

対向電極 32 は、少なくとも表示領域 DA に位置し、全ての画素の発光素子 30 を覆っている。対向電極 32 は、全ての陰極 CA の対向電極 32 側の表面と素子絶縁層 31 の上に配置され、全ての陰極 CA に接触し、全ての陰極 CA と電氣的に接続されている。対向電極 32 は、全ての画素で共用されている。対向電極 32 は、表示領域 DA の外側に設けられた陰極コンタクト部でアレイ基板 AR 側に設けられた配線（後述する第 2 電源線 42）と接続されている。そのため、対向電極 32 は、第 2 電源線 42 の電位と同一の定電位に保持され、第 2 電源線 42 と全ての発光素子 30 の陰極 CA とを電氣的に接続している。

10

#### 【0038】

対向電極 32 は、発光素子 30 からの出射光を取り出すために、透明電極として形成する必要があり、透明導電材料として例えば ITO を用いて形成される。なお、ITO で形成される上記導電層 26 を 1st ITO と称する場合があります、ITO で形成される対向電極 32 を 2nd ITO と称する場合がある。

#### 【0039】

一方、発光素子 30 の側壁部分が保護膜等で絶縁されている場合は、必ずしも樹脂材料等で空隙を充填する必要はなく、樹脂材料は、陽極 AN と、陽極 AN から露出した画素電極 28 の表面とを少なくとも絶縁できればよい。この場合、図 4 に示すように発光素子 30 の陰極 CA まで達しないような膜厚で素子絶縁層 31 を形成し、続けて上記対向電極 32 を形成する。対向電極 32 が形成される表面には発光素子 30 の実装に伴う凹凸の一部が残存しているが、対向電極 32 を形成する材料が段切れすることなく連続的に覆うことができればよい。

20

#### 【0040】

上記のように、アレイ基板 AR は、絶縁基板 21 から対向電極 32 までの構造を有している。本実施形態に係る発光素子 30 を表示素子として用いる表示装置 1 は、例えば以上のように構成されている。なお、必要に応じて、対向電極 32 の上にカバーガラスなどのカバー部材やタッチパネル基板等が設けられてもよい。このカバー部材やタッチパネル基板は、表示装置 1 との空隙を埋めるために樹脂等を用いた充填剤を介して設けられてもよい。

30

#### 【0041】

次に、図 5 を参照して、表示装置 1 の回路構成について説明する。上記した複数の主画素 PX は、同様に構成されている。そこで、図 4 においては、複数の主画素 PX のうちの 1 つの主画素 PX を代表して説明する。主画素 PX の第 1 画素 SPR、第 2 画素 SPG、及び第 3 画素 SPB は、同様に構成されている。そこで、ここでは、便宜的に、第 3 画素 SPB の構成（画素回路など）について主に説明する。

#### 【0042】

図 5 に示すように、第 3 画素 SPB は、発光素子 30 と、発光素子 30 に駆動電流を供給する画素回路 PC と、を有している。画素回路 PC は、図 3 に示した画素電極 28 に電氣的に接続されている。画素回路 PC は、複数の素子として、駆動トランジスタ DRT、発光制御トランジスタ CCT、画素トランジスタ SST、初期化トランジスタ IST、保持容量 Cs 及び補助容量 Cad を含んでいる。ゲートドライバ GD1 は、リセットトランジスタ RST を含んでいる。なお、図 5 に示す出力トランジスタ BCT は、第 1 画素 SPR、第 2 画素 SPG、及び第 3 画素 SPB に対して 1 つ配置されている。図 5 において、各トランジスタは、Nch TFT である。また、図 5 に示す素子容量 Cle d は、発光素子 30 の内部容量であり、陽極 AN と陰極 CA との間の容量である。

40

#### 【0043】

なお、発光制御トランジスタ CCT、リセットトランジスタ RST、画素トランジスタ

50

S S T、初期化トランジスタ I S T、及び出力トランジスタ B C Tは、それぞれトランジスタで構成されていなくともよい。発光制御トランジスタ C C T、リセットトランジスタ R S T、画素トランジスタ S S T、初期化トランジスタ I S T、及び出力トランジスタ B C Tは、それぞれ、発光制御スイッチ、リセットスイッチ、画素スイッチ、初期化スイッチ、及び出力スイッチとして機能するものであればよい。

【0044】

以下の説明においては、トランジスタのソース電極及びドレイン電極の一方を第1電極、他方を第2電極とする。また、容量素子の一方の電極を第1電極、他方の電極を第2電極とする。

【0045】

駆動トランジスタ D R T、画素電極 2 8 ( 図 3 )、及び発光素子 3 0 は、第 1 電源線 4 1 と第 2 電源線 4 2 との間で直列に接続されている。第 1 電源線 4 1 は定電位に保持され、第 2 電源線 4 2 は第 1 電源線 4 1 の電位と異なる定電位に保持されている。本実施形態において、第 1 電源線 4 1 の電位 P V D D は、第 2 電源線 4 2 の電位 P V S S より高い。

【0046】

駆動トランジスタ D R T の第 1 電極は、発光素子 3 0 ( 図 3 の陽極 A N )、保持容量 C s の第 1 電極 ( 図 3 の第 1 電極 E 1 )、及び補助容量 C a d の第 1 電極 ( 図 3 の画素電極 2 8 ) に接続されている。駆動トランジスタ D R T の第 2 電極は、発光制御トランジスタ C C T の第 1 電極に接続されている。駆動トランジスタ D R T は、発光素子 3 0 への電流値を制御するように構成されている。

【0047】

発光制御トランジスタ C C T の第 2 電極は、出力トランジスタ B C T の第 1 電極と接続されている。また、発光制御トランジスタ C C T の第 2 電極は、リセット配線 S V を介してリセットトランジスタ R S T の第 1 電極に接続されている。

出力トランジスタ B C T の第 2 電極は、第 1 電源線 4 1 に接続されている。また、発光素子 3 0 ( 図 3 の陰極 C A ) は、第 2 電源線 4 2 に接続されている。

【0048】

画素トランジスタ S S T の第 1 電極は、駆動トランジスタ D R T のゲート電極、初期化トランジスタ I S T の第 1 電極及び保持容量 C s の第 2 電極に接続されている。画素トランジスタ S S T の第 2 電極は、画像信号線 V L に接続されている。初期化トランジスタ I S T の第 2 電極は、初期化電源線 B L に接続されている。

【0049】

保持容量 C s は、駆動トランジスタ D R T のゲート電極と第 1 電極 ( ソース電極 ) との間に電氣的に接続されている。本実施形態において、保持容量 C s の値 ( 容量サイズ ) は、補助容量 C a d の値 ( 容量サイズ ) より小さい。なお、上記のことは、第 1 画素 S P R、及び第 2 画素 S P G においても同様である。すなわち、保持容量 C s の値は、第 1 画素 S P R の補助容量 C a d の値、第 2 画素 S P G の補助容量 C a d の値、及び第 3 画素 S P B の補助容量 C a d の値の何れよりも小さい。

【0050】

補助容量 C a d の第 2 電極 ( 図 3 の導電層 2 6 b ) は、定電位に保持されている。本実施形態において、補助容量 C a d の第 2 電極は、第 1 電源線 4 1 に接続され、第 1 電源線 4 1 の電位と同一の定電位 ( P V D D ) に保持されている。但し、本実施形態と異なり、補助容量 C a d の第 2 電極は、第 2 電源線 4 2 の電位と同一の定電位 ( P V S S ) に保持されていてもよく、又は第 3 電源線の電位と同一の定電位に保持されていてもよい。上記第 3 電源線としては、定電位に保持される配線として、初期化電源線 B L、又はリセット電源線 R L を挙げることができる。

ここで、リセットトランジスタ R S T はゲートドライバ G D 1 に設けられ、当該リセットトランジスタ R S T の第 2 電極は、リセット電源線 R L に接続されている。

【0051】

画像信号線 V L には、映像信号などの画像信号 V s i g が供給され、初期化電源線 B L

10

20

30

40

50

には初期化電位  $V_{ini}$  に設定され、リセット電源線  $R_L$  はリセット電源電位  $V_{rst}$  に設定される。なお、画像信号  $V_{sig}$  は、上記した画像信号に基づいて画素（ここでは、第3画素  $S_{PB}$ ）に書き込まれる信号である。

#### 【0052】

発光制御トランジスタ  $CCT$  のゲート電極は、制御配線  $SCG$  に接続されている。この制御配線  $SCG$  には、発光制御信号  $CG$  が供給される。

出力トランジスタ  $BC T$  のゲート電極は、制御配線  $SBG$  に接続されている。この制御配線  $SBG$  には、出力制御信号  $BG$  が供給される。

画素トランジスタ  $SST$  のゲート電極は、制御配線  $SSG$  に接続されている。この制御配線  $SSG$  には、画素制御信号  $SG$  が供給される。

初期化トランジスタ  $IST$  のゲート電極は、制御配線  $SIG$  に接続されている。この制御配線  $SIG$  には、初期化制御信号  $IG$  が供給される。

リセットトランジスタ  $RST$  のゲート電極は、制御配線  $SRG$  に接続されている。この制御配線  $SRG$  には、リセット制御信号  $RG$  が供給される。

#### 【0053】

図5においては、上記の全てのトランジスタが  $NchTFT$  であるものとして説明したが、例えば駆動トランジスタ  $DRT$  以外のトランジスタは  $PchTFT$  であってもよく、 $NchTFT$  及び  $PchTFT$  が混在していてもよい。

また、駆動トランジスタ  $DRT$  が  $PchTFT$  であってもよい。その場合、本実施形態とは逆向きに、発光素子30に電流が流れるように構成されていればよい。何れの場合においても、補助容量  $Cad$  は、発光素子30の電極のうち駆動トランジスタ  $DRT$  側の第1電極に結合されていればよい。

#### 【0054】

表示装置1は、2つのゲートドライバ  $GD1$ 、 $GD2$ （図2）を備えているため、1つの画素  $SP$  に、両側のゲートドライバ  $GD1$ 、 $GD2$  から給電することが可能である。ここでは、上記した制御配線  $SSG$  については両側給電方式が採用されており、他の制御配線  $SCG$ 、制御配線  $SBG$ 、制御配線  $SIG$ 、リセット配線  $SV$  などについては片側給電方式が採用されているものとする。但し、表示装置1は、2つのゲートドライバ  $GD1$ 、 $GD2$ （図2）を備えていなくともよく、少なくとも1つのゲートドライバ  $GD$  を備えていればよい。

#### 【0055】

なお、図5において説明した回路構成は一例であり、上記した駆動トランジスタ  $DRT$ 、保持容量  $Cs$ 、及び補助容量  $Cad$  を含むものであれば、表示装置1の回路構成は他の構成であっても構わない。例えば図5において説明した回路構成のうちの一部が省略されていてもよいし、他の構成が追加されても構わない。

#### 【0056】

図6は、主画素  $PX$  におけるリセット動作、オフセットキャンセル（ $OC$ ）動作、書き込み動作及び発光動作に関する各種信号の出力例を示すタイミングチャートである。ここでは、主に制御配線  $SRG$ 、制御配線  $SBG$ 、制御配線  $SCG$ 、制御配線  $SIG$  及び制御配線  $SSG$  に供給される信号について説明する。

#### 【0057】

なお、主画素  $PX$  におけるリセット動作及びオフセットキャンセル動作は、当該主画素  $PX$  の2行単位で行われるものとする。図6において、リセット動作及びオフセットキャンセル動作の対象となる2行の主画素  $PX$ （以下、1行目及び2行目の主画素  $PX$  と表記）に接続されている制御配線に関し、制御配線  $SRG$  に与えられるリセット制御信号を  $RG12$ 、制御配線  $SBG$  に与えられる出力制御信号を  $BG12$ 、制御配線  $SCG$  に与えられる発光制御信号を  $CG12$ 、制御配線  $SIG$  に与えられる初期化制御信号を  $IG12$ 、として示している。なお、1行目の主画素  $PX$  に接続される制御配線  $SSG$  に与えられる画素制御信号は  $SG1$ 、2行目の主画素  $PX$  に接続される制御配線  $SSG$  に与えられる画素制御信号は  $SG2$ 、として示している。

10

20

30

40

50

## 【 0 0 5 8 】

同様に、上記した 1 行目及び 2 行目の主画素 P X の次にリセット動作及びオフセットキャンセル動作の対象となる 2 行の主画素 P X (以下、3 行目及び 4 行目の主画素 P X と表記) に接続されている制御配線に関し、制御配線 S R G に与えられるリセット制御信号を R G 3 4、制御配線 S B G に与えられる出力制御信号を B G 3 4、制御配線 S C G に与えられる発光制御信号を C G 3 4、制御配線 S I G に与えられる初期化制御信号を I G 3 4、として示している。なお、3 行目の主画素 P X に接続される制御配線 S S G に与えられる画素制御信号は S G 3、4 行目の主画素 P X に接続される制御配線 S S G に与えられる画素制御信号は S G 4、として示している。

図 6 では、1 行目～ 4 行目の主画素 P X に対する各種の信号のタイミングを示しているが、例えば 5 行目以降の主画素 P X についても同様である。

10

## 【 0 0 5 9 】

以下、1 行目及び 2 行目の主画素 P X のリセット動作、オフセットキャンセル動作、画像信号の書き込み動作及び発光動作に係る信号について説明する。なお、各種の動作の詳細については、図 7～図 11 を用いて後述する。各主画素 P X におけるリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作は、パネルドライバ 5 から出力される信号 ( S E L R / G / B ) に従って画素 S P R、S P G 及び S P B ( R G B ) のうちの 1 つを選択することにより実行される。

## 【 0 0 6 0 】

また、表示装置 1 の回路構成においては全てのトランジスタが N c h T F T である場合を想定しており、このようなトランジスタのゲート電極にロー ( L ) レベルの信号が供給されると当該トランジスタはオフ状態 ( 非導通状態 ) となる。一方、このようなトランジスタのゲート電極にハイ ( H ) レベルの信号が供給されると当該トランジスタはオン状態 ( 導通状態 ) となる。

20

## 【 0 0 6 1 】

図 6 及び図 5 に示すように、まず、保持容量 C s のリセット動作に先立って、出力制御信号 B G 1 2 が H レベルから L レベルになると共にリセット制御信号 R G 1 2 が L レベルから H レベルになる。これにより、出力トランジスタ B C T を介した第 1 電源線 4 1 と第 2 電源線 4 2 との間での電流が遮られると共に、リセット配線 S V の電圧で出力トランジスタ B C T と発光素子 3 0 の陽極 A N との間がリセットされる。

30

## 【 0 0 6 2 】

次に、初期化制御信号 I G 1 2 が L レベルから H レベルになる。初期化トランジスタ I S T がオン状態となることにより、初期化電位 V i n i の初期化電源線 B L と保持容量 C s とが導通し、初期化電圧 ( V i n i ) で保持容量 C s がリセットされる。

## 【 0 0 6 3 】

なお、保持容量 C s のリセットに先立って信号が L レベルになっていた出力制御信号 B G 1 2 は、保持容量 C s のリセット期間の完了に伴い H レベルになる。また、リセット制御信号 R G 1 2 は、保持容量 C s のリセット期間の完了に伴い L レベルになる。

また、初期化制御信号 I G 1 2 は、オフセットキャンセル期間の完了に伴い L レベルになる。

40

## 【 0 0 6 4 】

その後、発光制御信号 C G 1 2 は、H レベルから L レベルになる。これにより、発光制御トランジスタ C C T を介した第 1 電源線 4 1 と第 2 電源線 4 2 との間での電流が遮られる。

これに合わせて、画素制御信号 S G 1 が L レベルから H レベルになる。この場合、画像信号線 V L を介して画像信号 V s i g に応じた電流が画素トランジスタ S S T を通じて保持容量 C s 等に流れ、当該保持容量 C s には画像信号 V s i g に応じた電荷が蓄積される。これにより、1 行目の主画素 P X ( 画素 S P R、S P G 及び S P B ) への書き込み動作が完了する。

## 【 0 0 6 5 】

50

次に、画素制御信号  $S G 2$  が  $L$  レベルから  $H$  レベルになる。この場合、画像信号線  $V L$  を介して画像信号  $V s i g$  に応じた電流が画素トランジスタ  $S S T$  を通じて保持容量  $C s$  等流れ、当該保持容量  $C s$  には映像信号に応じた電荷が蓄積される。これにより、2 行目の主画素  $P X$  (画素  $S P R$ 、 $S P G$  及び  $S P B$ ) への書き込み動作が完了する。

書き込み動作が完了した場合、上記した画像信号  $V s i g$  に基づいて決定される電流値に従って発光素子  $30$  に電流が流れることにより、当該発光素子  $30$  が発光する。

【0066】

ここでは、1 行目及び 2 行目の主画素  $P X$  のリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作に係る信号について説明したが、3 行目及び 4 行目の主画素  $P X$  におけるリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作についても同様である。

10

【0067】

図 6 においてはリセット動作及びオフセットキャンセル動作が 2 行単位で (つまり、2 行一括で) 実施されるものとして説明したが、このような構成によれば、表示パネル 2 の非表示領域  $N D A$  の面積 (幅) の削減、消費電力の低減などを実現することができる。

【0068】

以下、図 7 ~ 図 11 を参照して、表示装置 1 の動作の概要について説明する。まず、駆動トランジスタ  $D R T$  のソース側のリセット動作について説明する。

なお、以下の説明においては、上記した保持容量  $C s$  の第 1 電極と接続される駆動トランジスタ  $D R T$  の第 1 電極がソース電極、発光制御トランジスタ  $C C T$  の第 1 電極と接続される駆動トランジスタ  $D R T$  の第 2 電極がドレイン電極であるものとして説明する。

20

【0069】

図 7 に示すように、駆動トランジスタ  $D R T$  のソース側のリセット動作の場合、出力制御信号  $B G$ 、初期化制御信号  $I G$ 、及び画素制御信号  $S G$  を  $L$  レベルとし、リセット制御信号  $R G$ 、及び発光制御信号  $C G$  を  $H$  レベルとする。

これによれば、出力トランジスタ  $B C T$  は  $O F F$  状態 ( $B C T = O F F$ )、リセットトランジスタ  $R S T$  は  $O N$  状態 ( $R S T = O N$ )、発光制御トランジスタ  $C C T$  は  $O N$  状態 ( $C C T = O N$ )、初期化トランジスタ  $I S T$  は  $O F F$  状態 ( $I S T = O F F$ )、画素トランジスタ  $S S T$  は  $O F F$  状態 ( $S S T = O F F$ ) となる。ソースリセット動作では、リセットトランジスタ  $R S T$  は  $O N$  状態に切り替えられている。

30

【0070】

これにより、駆動トランジスタ  $D R T$  のソース電極及びドレイン電極のそれぞれの電位はリセット電源電位  $V r s t$  と同電位にリセットされ、ソースリセット動作は完了する。なお、リセット電源電位  $V r s t$  としては、例えば上記電位  $P V S S$  よりも低い電位に設定される。例えば、リセット電源電位  $V r s t$  は  $-2 V$  である。

【0071】

ソースリセット動作の際、駆動トランジスタ  $D R T$  が  $O N$  状態であっても  $O F F$  状態であっても、当該駆動トランジスタ  $D R T$  のソース電極は  $-2 V$  (リセット電源電位  $V r s t$ ) に引かれるため、駆動トランジスタ  $D R T$  は  $O N$  状態となる。なお、画像信号  $V s i g$  の最小値は  $0 V$  である。そして、発光素子  $30$  の陽極  $A N$  側は  $-2 V$  となり、陰極  $C A$  側 ( $P V S S = 0 V$ ) よりも低くなるため、当該発光素子  $30$  は消灯する。

40

【0072】

なお、保持容量  $C s$  には前フレームで書き込まれた画像信号  $V s i g$  による電圧が保持されているが、保持容量  $C s$  の第 2 電極は電氣的にフローティング状態にあるので、当該保持容量  $C s$  の充放電は行われず、保持容量  $C s$  の第 1 電極の電位の変化に応じて第 2 電極の電位が変化する。

【0073】

次に、駆動トランジスタ  $D R T$  のゲート側のリセット動作について説明する。

図 8 に示すように、駆動トランジスタ  $D R T$  のゲート側のリセット動作の場合、初期化制御信号  $I G$  を  $L$  レベルから  $H$  レベルに切り替える。これによれば、初期化トランジスタ

50

I S TはON状態に切り替えられ、ゲートリセット動作が開始される。なお、出力トランジスタB C T及び画素トランジスタS S TはOFF状態に、リセットトランジスタR S T及び発光制御トランジスタC C TはON状態に、維持される。

【0074】

この場合、駆動トランジスタD R Tのソース電極及び保持容量C sの第1電極にはリセット電源電圧(V r s t)が供給され、駆動トランジスタD R Tのゲート電極には初期化トランジスタI S Tを介して初期化電圧(V i n i)が供給される。これにより、駆動トランジスタD R Tのゲート電極の電位は、初期化電圧(V i n i)に対応する電位にリセットされ、前フレームの情報がリセットされる。

【0075】

ここで、初期化電位V i n iとしては、リセット電源電位V r s tよりも高い電位に設定されている。例えば、初期化電位V i n iは+1.2Vである。ゲートリセット動作において、駆動トランジスタD R Tでは、ソース電極の電位(V r s t)に対するゲート電極の電位(V i n i)がハイレベルになるため、駆動トランジスタD R Tはオン状態となる。

【0076】

また、この期間において、保持容量C sには、リセット電源電位V r s tと初期化電位V i n iとの差に基づく電荷が保持される。なお、駆動トランジスタD R TがON状態であっても、出力トランジスタB C TがOFF状態であるため、図8に示すゲートリセット動作において発光素子30は点灯(発光)しない。

【0077】

次に、オフセットキャンセル動作について説明する。

図9に示すように、オフセットキャンセル動作の場合、出力制御信号B GをLレベルからHレベルに切り替え、リセット制御信号R GをHレベルからLレベルに切り替える。これによれば、出力トランジスタB C TはON状態に、リセットトランジスタR S TはOFF状態に、それぞれ切り替えられる。

【0078】

この場合、駆動トランジスタD R Tのドレイン電極には、出力トランジスタB C Tを介して第1電源線41から電流が流れ込む。

ここで、駆動トランジスタD R Tはオン状態となっているため、駆動トランジスタD R Tのドレイン電極に供給された電流は駆動トランジスタD R Tのチャネルを流れ、当該駆動トランジスタD R Tのソース電極の電位が上昇する。その後、駆動トランジスタD R Tのソース電極の電位とゲート電極の電位との差が駆動トランジスタD R Tのしきい値電圧(V t h)に達すると、駆動トランジスタD R Tはオフ状態となる。言い換えると、駆動トランジスタD R Tのゲート電極 - ソース電極間の電圧はトランジスタD R Tのしきい値に概ね等しい電圧に収束し、このしきい値に相当する電位差が保持容量C sに保持される。

【0079】

具体的には、駆動トランジスタD R Tのゲート電極には初期化電圧(V i n i)が供給されており、当該駆動トランジスタD R Tのソース電極の電位がV i n i - V t hに達すると駆動トランジスタD R Tはオフ状態となる。これにより、駆動トランジスタD R TのV t hのばらつき分のオフセットが当該駆動トランジスタD R Tのゲート電極 - ソース電極間に生じる。これにより、駆動トランジスタD R Tのしきい値のオフセットキャンセル動作は完了する。

【0080】

次に、画像信号(映像信号)V s i gの書き込み動作について説明する。

図10に示すように、書き込み動作の場合、発光制御信号C G及び初期化制御信号I GをHレベルからLレベルに切り替え、画素制御信号S GをLレベルからHレベルに切り替える。

【0081】

10

20

30

40

50

これによれば、発光制御トランジスタ C C T 及び初期化トランジスタ I S T は O F F 状態に、画素トランジスタ S S T は O N 状態に、それぞれ切り替えられる。この場合、画素トランジスタ S S T を通じて画像信号 V s i g が駆動トランジスタ D R T のゲート電極に書き込まれる。例えば、画像信号 V s i g の電圧値は、0 ~ 5 V の範囲内の値である。そして、本実施形態において、画像信号 V s i g のダイナミックレンジは、第 1 画素 S P R、第 2 画素 S P G、及び第 3 画素 S P B で同一である。

【 0 0 8 2 】

ここで、駆動トランジスタ D R T のソース電極は上記したオフセットキャンセル動作により V t h の値毎に異なる電位となっているため、同じ画像信号を書き込む場合であっても当該駆動トランジスタ D R T の電圧 V g s は異なる。画像信号 V s i g の書き込みが完了した駆動トランジスタ D R T において、電圧 V g s は次の式 1 で表される。

10

【 数 1 】

$$Vgs = (Vsig - Vini) \times \frac{(Cled + Cad)}{(Cs + Cad + Cled)} + Vth \quad \dots (式 1)$$

【 0 0 8 3 】

なお、図 6 において説明したように、例えば 1 行目の主画素 P X に対する書き込みが完了した後は、同様にして 2 行目の画素に対する書き込みが行われる。第 2 行の画素に対する書き込みが行われる場合、1 行目の主画素 P X については画素トランジスタ S S T を O F F 状態とする。

20

上記した書き込み動作においては、発光制御トランジスタ C C T が O F F 状態であるため、発光素子 3 0 は点灯（発光）しない。

【 0 0 8 4 】

次に、発光素子 3 0 を発光させる発光動作について説明する。

図 1 1 に示すように、発光動作の場合、画素制御信号 S G を H レベルから L レベルに切り替え、発光制御信号 C G を L レベルから H レベルに切り替える。これによれば、画素トランジスタ S S T は O F F 状態に、発光制御トランジスタ C C T は O N 状態に切り替えられる。この場合、上記した書き込み動作によって書き込まれた駆動トランジスタ D R T のゲート電極の電位に応じて当該駆動トランジスタ D R T を通り、発光素子 3 0 に電流 I l e d が流れ、当該発光素子 3 0 が点灯（発光）する。

30

【 0 0 8 5 】

発光期間において、電流 I l e d は、駆動トランジスタ D R T から与えられる出力電流（駆動トランジスタ D R T の飽和領域の出力電流）I d r t に相当する（I l e d = I d r t）。駆動トランジスタ D R T の利得係数を  $\beta$  とすると、出力電流 I d r t は次の式 2 で表される。

【 数 2 】

$$Idrt = \beta \times (Vgs - Vth)^2 \quad \dots (式 2)$$

【 0 0 8 6 】

そして、上記式 2 に上記式 1 を代入することにより、出力電流 I d r t は次の式 3 で表される。

40

【 数 3 】

$$Idrt = \beta \times \left\{ (Vsig - Vini) \times \frac{(Cled + Cad)}{(Cs + Cad + Cled)} \right\}^2 \quad \dots (式 3)$$

【 0 0 8 7 】

このため、出力電流 I d r t は、駆動トランジスタ D R T のしきい値電圧 V t h に依存しない値となり、出力電流 I d r t への駆動トランジスタ D R T のしきい値電圧のばらつきによる影響を排除することができる。

50

## 【0088】

なお、上記利得係数 は、次の式で定義される。

$$= 1 / 2 \times C o x \times \mu \times W / L$$

なお、 $C o x$  は単位面積当たりのゲート静電容量、 $\mu$  はキャリア移動度、 $W$  は駆動トランジスタ D R T のチャンネル幅、 $L$  は駆動トランジスタ D R T のチャンネル長である。

## 【0089】

ここで、本願発明者らが発光素子 30 の発光効率を調査したところ、色（種類）毎に、発光効率が異なることが分かった。言い換えると、最大階調を得るために必要な電流  $I l e d$ （出力電流  $I d r t$ ）の値が、第 1 画素 S P R、第 2 画素 S P G、及び第 3 画素 S P B で互いに異なることが分かった。具体的には、画素 S P R、S P G、S P B の発光素子 30 のうち、赤色を呈する第 1 画素 S P R の発光素子 30 の発光効率が最も低いことが分かった。

10

## 【0090】

そこで、第 1 画素 S P R による赤色発光の輝度レベル、第 2 画素 S P G による緑色発光の輝度レベル、及び第 3 画素 S P B による青色発光の輝度レベルのバランスを調整するため、第 2 画素 S P G、及び第 3 画素 S P B に与える画像信号  $V s i g$  の電圧値を 0 ~ 5 V の範囲内の値にし、一方で、第 1 画素 S P R に与える画像信号  $V s i g$  の電圧値を例えば 0 ~ 7 V の範囲内の値にすることが考えられる。

## 【0091】

しかしながら、上記の場合、第 1 画素 S P R に与える画像信号  $V s i g$  のダイナミックレンジを、第 2 画素 S P G、及び第 3 画素 S P B に与える画像信号  $V s i g$  のダイナミックレンジより大きくする必要が生じる。その結果、画像信号  $V s i g$  の値が、パネルドライバ 5 のアナログ出力の電圧スプレックを超える場合があり得る。そのため、既存のパネルドライバ 5 では、十分な電圧耐久性を得ることが困難となる。十分な電圧耐久性を有するパネルドライバ 5 を用いるためには、新たにパネルドライバ 5 を開発する必要があり、パネルドライバ 5 の製造コストの高騰を招くこととなる。その他、パネルドライバ 5 の低消費電力化が困難となる。

20

## 【0092】

そこで、本実施形態では、補助容量  $C a d$  の値（容量サイズ）を調整することで、赤色、緑色、及び青色の輝度レベルのバランスを調整するものである。具体的には、上記式 3 から分かるように、少なくとも、発光効率の最も低い第 1 画素 S P R の補助容量  $C a d$  の値を相対的に大きくするものである。補助容量  $C a d$  を保持容量  $C s$  に対して大きく取ることによって、上記式 3 中の  $(C l e d + C a d) / (C s + C a d + C l e d)$  の値が 1 に近づくため、 $(V s i g - V i n i)$  で示される D R T のゲート・ソース間電圧の減衰を小さくすることができる。すなわち、第 1 画素 S P R における電流  $I l e d$ （出力電流  $I d r t$ ）の減衰量を小さくすることで、赤色、緑色、及び青色の輝度レベルのバランスを調整することが可能となる。

30

## 【0093】

これにより、画像信号  $V s i g$  のダイナミックレンジを、第 1 画素 S P R、第 2 画素 S P G、及び第 3 画素 S P B で揃えることができる。又は、第 1 画素 S P R に与える画像信号  $V s i g$  のダイナミックレンジを、第 2 画素 S P G、及び第 3 画素 S P B に与える画像信号  $V s i g$  のダイナミックレンジに近づけることができる。

40

## 【0094】

既存のパネルドライバ 5 を使用することが可能となるため、製造コストの高騰を抑制することができる。パネルドライバ 5 が十分な電圧耐久性を得ることが困難となる事態を回避することができる。また、パネルドライバ 5 の低消費電力化が可能となるものである。

## 【0095】

次に、第 1 画素 S P R の補助容量  $C a d$  の値を第 2 画素 S P G、及び第 3 画素 S P B の補助容量  $C a d$  の値より大きくする場合の表示パネル 2 の構成について説明する。ここでは、第 1 画素 S P R の補助容量  $C a d$  の値が最も大きく、第 3 画素 S P B の補助容量  $C a$

50

dの値が最も小さく、第2画素SPGの補助容量C<sub>a</sub>dの値が上記2つの値の間となる場合を例に説明する。なせなら、本願発明者らが発光素子30の発光効率を調査したところ、青色を呈する第3画素SPBの発光素子30の発光効率が最も高く、緑色を呈する第2画素SPGの発光素子30の発光効率が第3画素SPBの発光素子30の発光効率より低いことがさらに分かったためである。これにより、赤色、緑色、及び青色の輝度レベルのバランスを微調整することが可能となる。

【0096】

図12及び図13は、画素SPの導電層のレイアウト例であり、平面視である図12におけるX<sub>1</sub>I<sub>1</sub>I<sub>1</sub>-X<sub>1</sub>I<sub>1</sub>I<sub>1</sub>間の断面視を図13に示している。図12に示すように、第1画素SPRを含む隣合う2以上の画素SPは、単個の導電層(第1容量電極層)26bを共用している。導電層26bは、2以上の画素SPに亘って連続的に延在し、2以上の画素SPの画素電極28と対向している。導電層26bは、画素電極28の下方に位置している。本実施形態において、全ての画素SPが単個の導電層26bを共用している。導電層26aは、導電層26bの開口OPの内側に位置している。

10

【0097】

図12の平面視において、複数種類の画素SPR, SPG, SPBの画素電極28のサイズのうち、第1画素SPRの画素電極28Rのサイズが最も大きく、第3画素SPBの画素電極28Bのサイズが最も小さい。第2画素SPGの画素電極28Gのサイズは、画素電極28Rのサイズより小さく、画素電極28Bのサイズより大きい。より詳しくは、画素電極28が導電層26bに重なる面積に関し、第1画素SPRが最も大きく、第3画素SPBが最も小さい。なお、図12において、画素電極28が導電層26bに重なる領域には斜線を付している。

20

【0098】

補助容量C<sub>a</sub>dの値は、画素電極28が導電層26bに重なる面積に比例している。そのため、補助容量C<sub>a</sub>dの値は、画素SPの種類によって異なっている。複数種類の画素SPの補助容量C<sub>a</sub>dの値のうち、第1画素SPRの補助容量C<sub>a</sub>dの値が最も大きく、第3画素SPBの補助容量C<sub>a</sub>dの値が最も小さい。

【0099】

図12の平面視において、配置領域LAR, LAG, LABは、第1方向Xに並んでいる。ここで、配置領域LARは、第1画素SPRの画素回路PC(図3)のうち補助容量C<sub>a</sub>d以外の残りの素子が配置される領域である。配置領域LAGは、第2画素SPGの画素回路PCのうち補助容量C<sub>a</sub>d以外の残りの素子が配置される領域である。配置領域LABは、第3画素SPBの画素回路PCのうち補助容量C<sub>a</sub>d以外の残りの素子が配置される領域である。

30

【0100】

図12の平面視において、画素電極28Rは、配置領域LARに位置し、第1画素SPRに隣合う第2画素SPGの配置領域LAGにさらに位置している。なお、画素電極28G及び画素電極28Bの各々は、配置領域LAG及び配置領域LABに位置している。上記のように、本実施形態において、画素電極28は、隣の画素SPの配置領域LAに位置するように設けることが可能である。なぜなら、画素回路PC(図3)のうち補助容量C<sub>a</sub>d以外の残りの素子は、導電層(第1容量電極層)26bの下方に位置しているためである。

40

【0101】

上記のように構成された一実施形態に係る表示装置1によれば、複数種類の画素SPの補助容量C<sub>a</sub>dの値のうち、第1画素SPRの補助容量C<sub>a</sub>dの値が最も大きい。そして、第3画素SPBの補助容量C<sub>a</sub>dの値が最も小さい。そのため、赤色、緑色、及び青色の輝度レベルのバランスを調整することができる。これにより、画像信号V<sub>sig</sub>のダイナミックレンジを、第1画素SPR、第2画素SPG、及び第3画素SPBで揃えることができる。又は、第1画素SPRに与える画像信号V<sub>sig</sub>のダイナミックレンジを、第2画素SPG、及び第3画素SPBに与える画像信号V<sub>sig</sub>のダイナミックレンジに近

50

づけることができる。

上記のことから、製造コストの高騰を抑制することが可能な表示装置 1 を得ることができる。さらに、低消費電力化を図ることのできる表示装置 1 を得ることができる。

#### 【0102】

(変形例 1)

次に、上記実施形態の変形例 1 に係る表示装置 1 について説明する。図 1 4 は、上記実施形態の変形例 1 に係る表示装置 1 の表示パネル 2 の単個の主画素 P X の構成を示す平面図であり、導電層 2 6 a , 2 6 b、画素電極 2 8 R , 2 8 G , 2 8 B、発光素子 3 0 などを示す図である。

#### 【0103】

図 1 4 に示すように、変形例 1 では、大まかに、画素電極 2 8 R が長方形の形状を有し、第 2 方向 Y に延在している点で上記実施形態と相違している。第 1 方向 X において、画素電極 2 8 R は、画素電極 2 8 G 及び画素電極 2 8 B の両方と対向している。図 1 4 においても、画素電極 2 8 が導電層 2 6 b に重なる領域には斜線を付している。画素電極 2 8 が導電層 2 6 b に重なる面積に関し、第 2 画素 S P G と第 3 画素 S P B とで同一であり、第 1 画素 S P R が最も大きい。複数種類の画素 S P の補助容量 C a d の値に関し、第 2 画素 S P G と第 3 画素 S P B とで同一であり、第 1 画素 S P R が最も大きい。

#### 【0104】

上記のように構成された変形例 1 において、第 1 画素 S P R の補助容量 C a d の値を相対的に大きくすることができる。例えば、第 1 画素 S P R の補助容量 C a d の値を、第 2 画素 S P G 及び第 3 画素 S P B の各々の補助容量 C a d の値の 2 倍以上に調整することができる。そのため、本変形例 1 においても、上記実施形態と同様の効果を得ることができる。

#### 【0105】

(変形例 2)

次に、上記実施形態の変形例 2 に係る表示装置 1 について説明する。図 1 5 は、上記実施形態の変形例 2 に係る表示装置 1 の表示パネル 2 の単個の主画素 P X の構成を示す平面図であり、第 1 電極 E 1、導電層 E R , E G , E B、画素電極 2 8 R , 2 8 G , 2 8 B、発光素子 3 0 などを示す図である。図 1 6 は、図 1 5 の線 X V I - X V I に沿って上記表示パネル 2 を示す断面図であり、第 1 電極 E 1、導電層 E R、画素電極 2 8 R、発光素子 3 0 などを示す図である。

#### 【0106】

図 1 5 及び図 1 6 に示すように、変形例 2 では、大まかに、導電層 E R , E G , E B がそれぞれ第 1 容量電極層として機能している点で上記実施形態と相違している。変形例 2 の表示パネル 2 は、導電層 2 6 b 無しに形成されている。第 1 画素 S P R は、第 1 方向 X に第 2 画素 S P G 及び第 3 画素 S P B の両方と対向している。第 2 画素 S P G は、第 2 方向 Y に第 3 画素 S P B と対向している。導電層 E R , E G , E B は、定電位の電源線に接続されている。例えば、導電層 E R , E G , E B は、第 1 電源線 4 1 に接続されている。導電層 E R , E G , E B は、第 1 電源線 4 1 の一部を構成していてもよい。なお、導電層 E R , E G , E B を、それぞれ配線と称したり、電極と称したりした方が適当な場合があり得る。

#### 【0107】

図 1 5 の平面視において、画素電極 2 8 は、単個の導電層のみに重なっている。画素電極 2 8 R は第 1 画素 S P R の導電層 E R に重なり、画素電極 2 8 G は第 2 画素 S P G の導電層 E G に重なり、画素電極 2 8 B は第 3 画素 S P B の導電層 E B に重なっている。複数種類の画素のうち、第 1 画素 S P R を代表して説明すると、第 1 画素 S P R の補助容量 C a d は、導電層 E R、平坦化膜 2 5、絶縁層 2 7、及び画素電極 2 8 R で形成されている。

#### 【0108】

画素電極 2 8 R は導電層 2 6 a にコンタクトしている。但し、表示パネル 2 は、導電層

10

20

30

40

50

26a無しに形成されていてもよい。その場合、画素電極28Rは第1電極E1に直にコンタクトしていてもよい。

導電層ER, EG, EBは、層間絶縁膜24と平坦化膜25との間に設けられている。但し、導電層ER, EG, EBを設ける層は、特に限定されるものではない。例えば、導電層ER, EG, EBは、平坦化膜25と絶縁層27との間に設けられていてもよい。

#### 【0109】

図15において、画素電極28が導電層ER, EG、又はEBに重なる領域には斜線を付している。画素電極28が導電層ER, EG、又はEBに重なる面積に関し、第2画素SPGと第3画素SPBとで同一であり、第1画素SPRが最も大きい。複数種類の画素SPの補助容量Cadの値に関し、第2画素SPGと第3画素SPBとで同一であり、第1画素SPRが最も大きい。

10

上記のことから、変形例2においても、上記実施形態と同様の効果を得ることができる。

#### 【0110】

(変形例3)

次に、上記実施形態の変形例3に係る表示装置1について説明する。図17は、上記実施形態の変形例3に係る表示装置1の表示パネル2の単個の主画素PXの構成を示す平面図であり、第1電極E1、導電層ER, EG, EB、画素電極28R, 28G, 28B、発光素子30などを示す図である。

図17に示すように、主画素PXにおいて、第1画素SPR、第2画素SPG、及び第3画素SPBは、第1方向Xに並んでいてもよい。画素電極28R, 28G, 28Bは第1方向Xに並び、導電層ER, EG, EBは第1方向Xに並んでいる。第2方向Yにおいて、画素電極28R, 28G, 28Bは同一の長さを有している。第1方向Xにおいて、画素電極28G及び画素電極28Bは同一の幅を有し、画素電極28Rは最も大きい幅を有している。

20

#### 【0111】

図17において、画素電極28が導電層ER, EG、又はEBに重なる領域には斜線を付している。画素電極28が導電層ER, EG、又はEBに重なる面積に関し、第2画素SPGと第3画素SPBとで同一であり、第1画素SPRが最も大きい。複数種類の画素SPの補助容量Cadの値に関し、第2画素SPGと第3画素SPBとで同一であり、第1画素SPRが最も大きい。

30

上記のことから、変形例3においても、上記実施形態と同様の効果を得ることができる。

#### 【0112】

(変形例4)

次に、上記実施形態の変形例4に係る表示装置1について説明する。図18は、上記実施形態の変形例4に係る表示装置1の表示パネル2の単個の主画素PXの構成を示す平面図であり、導電層26a, 26b、画素電極28R, 28G, 28B、発光素子30などを示す図である。

図18に示すように、発光素子30の陽極AN(第1電極)と陰極CA(第2電極)とが対向する面積は、複数種類の画素SPのうち第1画素SPRにおいて最も大きくともよい。本実施形態において、第2画素SPG及び第3画素SPBはそれぞれ1個の発光素子30を有しているのに対し、第1画素SPRは2個の発光素子30を有している。第1画素SPRが1個の発光素子30を有している場合と比較し、第1画素SPRの発光素子30における電流密度を低くすることができる。電流Iled(出力電流Idrt)の値が相対的に大きくなる第1画素SPRにおいて、発光素子30における電流密度を低くすることができる。そのため、第1画素SPRの発光素子30の製品寿命の長期化を図ることができる。

40

#### 【0113】

変形例4の表示パネル2は、上記発光素子30に関する構成以外、上記変形例1の表示

50

パネル 2 と同様に構成されている。上記のことから、変形例 4 においても、上記実施形態と同様の効果を得ることができる。

【0114】

(変形例 5)

次に、上記実施形態の変形例 5 に係る表示装置 1 について説明する。図 19 は、上記実施形態の変形例 5 に係る表示装置 1 の表示パネル 2 を示す断面図であり、第 1 電極 E 1、導電層 26a、画素電極 28、対向電極 32 などを示す図である。

図 19 に示すように、本変形例 5 において、補助容量 C a d の第 1 容量電極層は、画素電極 28 の上方に位置する対向電極 32 の一部で構成されていてもよい。画素電極 28、素子絶縁層 (絶縁層) 31、及び対向電極 32 は、補助容量 C a d を形成している。

10

【0115】

複数種類の画素の補助容量 C a d の値に関し、第 2 画素と第 3 画素とで同一であり、第 1 画素が最も大きい。なお、上記と異なり、複数種類の画素の補助容量 C a d の値のうち、第 1 画素の補助容量 C a d の値が最も大きく、第 3 画素の補助容量 C a d の値が最も小さくともよい。

上記のことから、変形例 5 においても、上記実施形態と同様の効果を得ることができる。

【0116】

(変形例 6)

次に、上記実施形態の変形例 6 に係る表示装置 1 について説明する。図 20 は、上記実施形態の変形例 6 に係る表示装置 1 の表示パネル 2 を示す断面図であり、第 1 電極 E 1、導電層 26a、26b、画素電極 28、対向電極 32 などを示す図である。

20

図 20 に示すように、本変形例 6 の各々の画素において、補助容量 C a d は、第 1 容量成分 C a d 1 と、第 2 容量成分 C a d 2 と、を含んでもよい。第 1 容量電極層としての導電層 26b は、画素電極 28 の下方に位置している。第 1 容量成分 C a d 1 は、画素電極 28、絶縁層 27、及び導電層 26b で形成されている。第 2 容量成分 C a d 2 は、画素電極 28、素子絶縁層 (絶縁層) 31、及び対向電極 32 で形成されている。

【0117】

この場合、導電層 26b は、対向電極 32 と同一の定電位に保持されていてもよい。又は、導電層 26b は、対向電極 32 と異なる定電位に保持されていてもよい。後者の場合、導電層 26b は、第 1 電源線 41 又は第 3 電源線の電位と同一の定電位に保持されている。補助容量 C a d の値は、第 1 容量成分 C a d 1 の容量値と第 2 容量成分 C a d 2 の容量値との和である。

30

【0118】

複数種類の画素の補助容量 C a d の値に関し、第 2 画素と第 3 画素とで同一であり、第 1 画素が最も大きい。なお、上記と異なり、複数種類の画素の補助容量 C a d の値のうち、第 1 画素の補助容量 C a d の値が最も大きく、第 3 画素の補助容量 C a d の値が最も小さくともよい。

上記のことから、変形例 6 においても、上記実施形態と同様の効果を得ることができる。

40

【0119】

本発明の一実施形態及び変形例を説明したが、上記の実施形態及び変形例は、例として提示したものであり、発明の範囲を限定することは意図していない。上記の新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。上記の実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。必要に応じて、実施形態及び変形例を組合せることも可能である。

【0120】

例えば、上記の実施形態においては、発光素子としてマイクロ LED を用いたマイクロ LED 表示装置について主に説明した。しかしながら、本実施形態に係る表示装置 1 は、

50

発光素子として有機エレクトロルミネッセンス（EL）素子を用いた有機EL表示装置等であってもよい。色毎に有機EL素子の発光効率が異なる場合に効果的である。

【符号の説明】

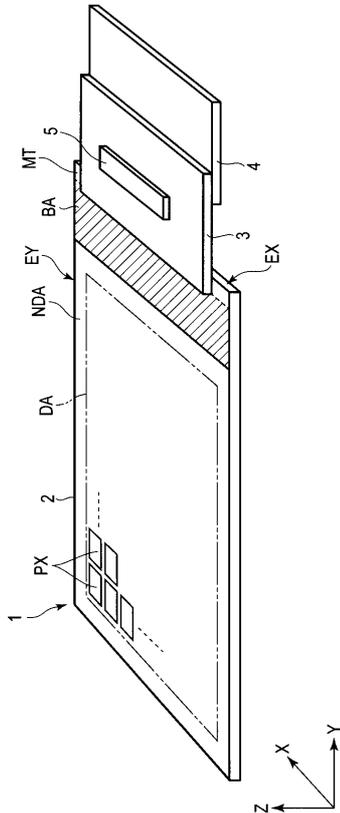
【0121】

- 1 ... 表示装置、2 ... 表示パネル、SP, SPR, SPG, SPB ... 画素、
- 30 ... 発光素子、28, 28R, 28G, 28B ... 画素電極、AN ... 陽極、CA ... 陰極、
- 31 ... 素子絶縁層、32 ... 対向電極、PC ... 画素回路、ER, EG, RB ... 導電層、
- Cad ... 補助容量、Cad1, Cad2 ... 容量成分、CCT ... 発光制御トランジスタ、
- SST ... 画素トランジスタ、IST ... 初期化トランジスタ、BCT ... 出力トランジスタ、
- RST ... リセットトランジスタ、DRT ... 駆動トランジスタ、GE ... ゲート電極、
- E1, E2 ... 電極、Cs ... 保持容量、25 ... 平坦化膜、26 ... 導電層、27 ... 絶縁層、
- 41 ... 第1電源線、42 ... 第2電源線、BL ... 初期化電源線、RL ... リセット電源線、
- DA ... 表示領域、NDA ... 非表示領域、LA, LAR, LAG, LAB ... 配置領域。

10

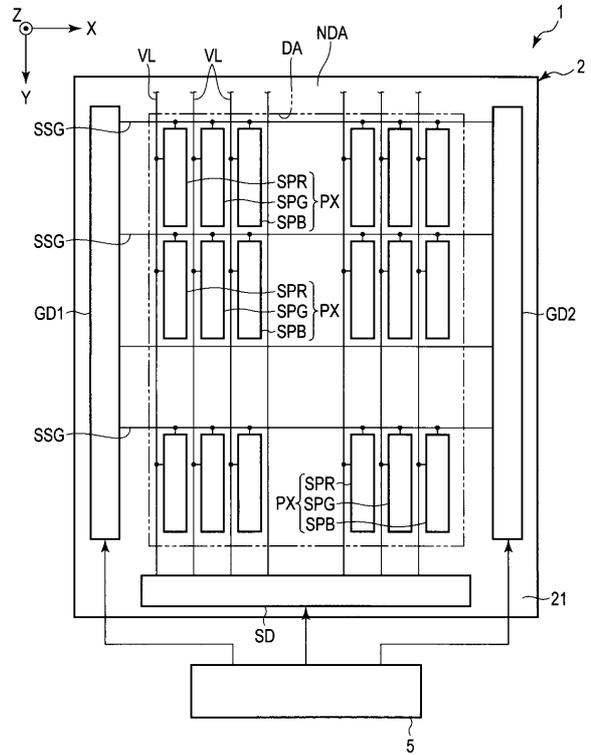
【図1】

図1



【図2】

図2

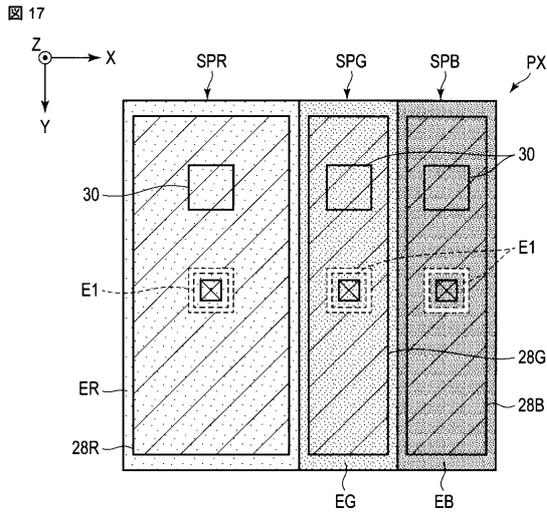




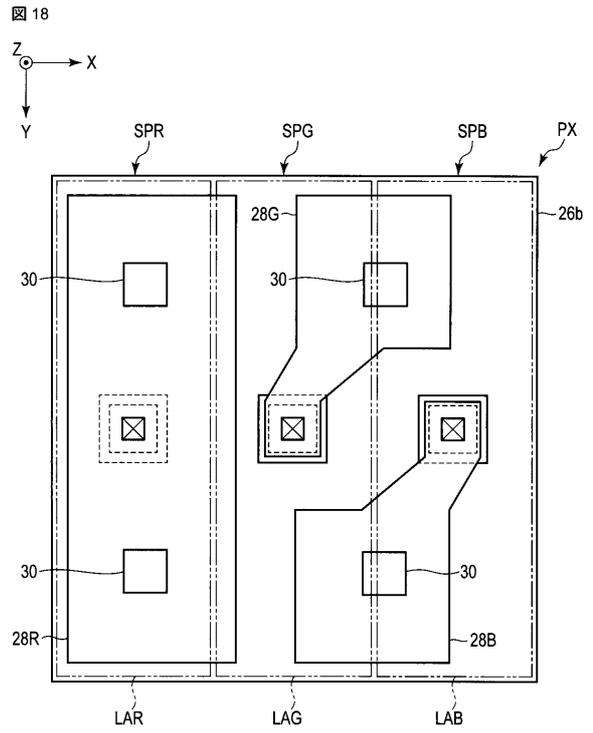




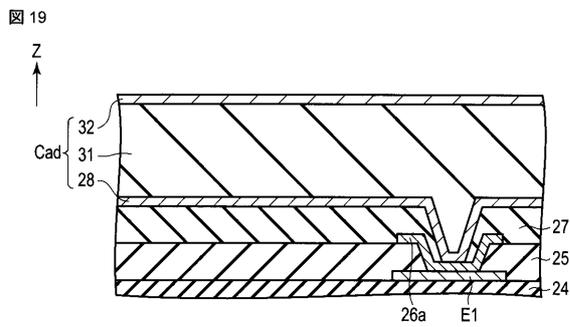
【 図 1 7 】



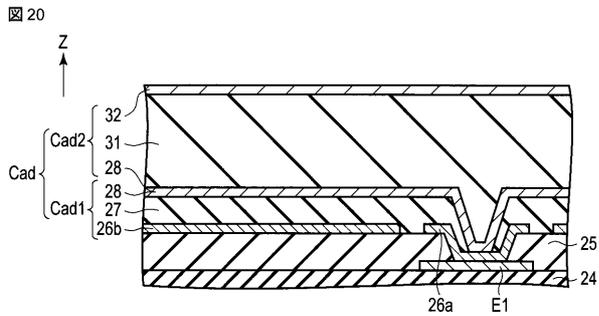
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



---

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 F 9/30	3 6 5
	G 0 9 F 9/33	
	G 0 9 F 9/30	3 3 8
	H 0 1 L 33/00	J

Fターム(参考)	5C380	AA01	AA03	AB06	AB22	AB23	AB34	BA01	BA39	BB12	BB14
		CB26	CB27	CC07	CC11	CC26	CC27	CC33	CC39	CC77	CD025
		CF43									
	5F241	AA12	AA24	BB07	BB18	BB32	BC03	BC44	BC47	FF06	

专利名称(译)	显示		
公开(公告)号	<a href="#">JP2019211688A</a>	公开(公告)日	2019-12-12
申请号	JP2018109436	申请日	2018-06-07
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	森田哲生 小川康宏		
发明人	森田 哲生 小川 康宏		
IPC分类号	G09G3/32 G09G3/20 G09F9/30 G09F9/33 H01L33/00		
CPC分类号	G09F9/30 G09F9/33 G09G3/20 G09G3/32 H01L33/00		
FI分类号	G09G3/32.A G09G3/20.611.A G09G3/20.624.B G09G3/20.642.K G09G3/20.680.G G09F9/30.365 G09F9/33 G09F9/30.338 H01L33/00.J		
F-TERM分类号	5C080/AA06 5C080/AA07 5C080/BB05 5C080/DD26 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA22 5C094/AA44 5C094/BA03 5C094/BA23 5C094/BA27 5C094/CA24 5C094/DA13 5C094/FA01 5C094/FA02 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/BA01 5C380/BA39 5C380/BB12 5C380/BB14 5C380/CB26 5C380/CB27 5C380/CC07 5C380/CC11 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC77 5C380/CD025 5C380/CF43 5F241/AA12 5F241/AA24 5F241/BB07 5F241/BB18 5F241/BB32 5F241/BC03 5F241/BC44 5F241/BC47 5F241/FF06		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种可以防止制造成本增加的显示器； 解决方案：显示器包括位于显示区域中并且包括显示第一颜色的第一像素SPR的多种类型的像素SPR，SPG，SPB。每个像素SPR，SPG，SPB具有像素电极28，发光器件，驱动晶体管，与像素电极相对布置并保持恒定电势的第一电容电极层以及形成辅助电极的绝缘层。像素电极和第一电容电极层的电容。在多种类型的像素SPR，SPG，SPB的辅助电容值中，第一像素SPR的辅助电容值最大。图12

